

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
009355404      \*\*Image available\*\*

WPI Acc No: 1993-048883/199306

XRAM Acc No: C93-022030

XRPX Acc No: N93-037429

Forming of semiconductor crystal article - in which crystalline domain having single structure with controlled positioning is grown in desired domain within semiconductor crystal prod.

Patent Assignee: CANON KK (CANO )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4373171</b>	A	19921225	JP 91175756	A	19910621	199306 B

Priority Applications (No Type Date): JP 91175756 A 19910621

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4373171	A		7 H01L-027/12	

Abstract (Basic): JP 4373171 A

Semiconductor crystal is formed from an amorphous semiconductor material through a solid phase growth, where a crystalline domain having a single structure with controlled positioning is grown in the desired domain within the semiconductor crystal prod. Typically the prod. is a field effect transistor of insulator gate type and the desired domain contains the channel part.

Pref. an amorphous semiconductor layer (12) is formed over an amorphous silica baseplate (11) and a nucleation site (13) is formed by heating after ion injection, with a gate electrode (15) as the masking which has been formed on an oxide film (14).

ADVANTAGE - The growth time is saved and the productivity enhanced markedly. The constraints in designing elements to build an element in a minute domain and then to constitute a circuitry with a very slow growth distance of several microns are alleviated.

Dwg. 1/15

Title Terms: FORMING; SEMICONDUCTOR; CRYSTAL; ARTICLE; CRYSTAL; DOMAIN; SINGLE; STRUCTURE; CONTROL; POSITION; GROW; DOMAIN; SEMICONDUCTOR; CRYSTAL; PRODUCT

Index Terms/Additional Words: FET; IGFET

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-027/12

International Patent Class (Additional): C30B-001/00; H01L-021/336; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04008071      \*\*Image available\*\*

FORMING METHOD OF SEMICONDUCTOR CRYSTAL ARTICLE

PUB. NO.:      **04-373171** [JP 4373171 A]

PUBLISHED:      December 25, 1992 (19921225)

INVENTOR(s):    ICHIKAWA TAKESHI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      03-175756 [JP 91175756]

FILED:           June 21, 1991 (19910621)

INTL CLASS:     [5] H01L-027/12; C30B-001/00; H01L-021/336; H01L-029/784

JAPIO CLASS:    42:2 (ELECTRONICS -- Solid State Components); 13.1 (INORGANIC  
CHEMISTRY -- Processing Operations)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:        Section: E, Section No. 1367, Vol. 17, No. 253, Pg. 117, May  
19, 1993 (19930519)

**ABSTRACT**

PURPOSE: To shorten growth time and improve productivity, by growing a crystal region having a single structure wherein position control is performed only in the desired region in a semiconductor element to be formed.

CONSTITUTION: An amorphous semiconductor layer 12 is formed on a non-single crystal substrate 11 whose main component is SiO(sub 2). When the semiconductor layer 12 is, e.g. Si, the following are used as the forming method of the amorphous semiconductor layer 12; a reduced pressure CVD method using SiH(sub 4) or Si(sub 2)H(sub 6) gas, a plasma CVD method, a sputtering method, an evaporation method, and amorphous Si wherein ions are implated in polycrystalline Si or amorphous silicon. When the semiconductor 12 is dielectrically isolated in an island type, action between elements is not present, and a merit is obtained. A nuclear formation site is formed in a channel region. Crystal 13 having a single structure is grown from the site, and a channel part is formed by using the crystal region having the single structure. Thereby growth time can be shortened, and productivity is improved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-373171

(43) 公開日 平成4年(1992)12月25日

(51) Int.Cl. <sup>3</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12		8728-4M		
C 3 0 B 1/00		9151-4G		
H 0 1 L 21/336				
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Z
			審査請求 未請求	請求項の数 2 (全 7 頁)

(21) 出願番号 特願平3-175756

(22) 出願日 平成3年(1991)6月21日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 市川 武史

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

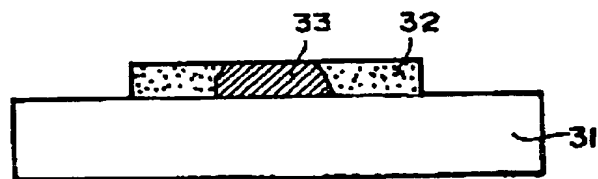
(74) 代理人 弁理士 山下 碩平

(54) 【発明の名称】 半導体結晶物品の形成方法

(57) 【要約】

【目的】 半導体素子を形成する半導体結晶層の成長時間を短縮し、生産性を向上する。

【構成】 固相成長法により非晶質半導体から半導体結晶を形成する半導体結晶物品の形成方法において、形成する半導体素子内の所望の領域にのみ、位置制御した単一構造を有する結晶領域33を成長させる。



## 【特許請求の範囲】

【請求項1】 固相成長法により非晶質半導体から半導体結晶を形成する半導体結晶物品の形成方法において、形成する半導体素子内の所望の領域にのみ、位置制御した単一構造を有する結晶領域を成長させることを特徴とする半導体結晶物品の形成方法。

【請求項2】 前記半導体素子が絶縁ゲート型電界効果トランジスタであり、前記所望部分がチャネル部を含むことを特徴とする請求項1記載の半導体結晶物品の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体結晶物品の形成方法に係り、特に誘電体分離された半導体結晶層又は、絶縁物上の半導体結晶層に、電子デバイス、集積回路を形成する場合に好適に用いられる半導体結晶物品の形成方法に関する。

## 【0002】

【従来の技術】 絶縁物上にSi半導体結晶を形成する技術、すなわちSilicon on Insulator (SOI) 技術は、従来から多くの研究が成されてきた。其の駆動力は、通常のSi集積回路を作成するバルクSi基板では到達しえない数々の優位点がこのSOIデバイスに存在することにある。すなわち、① 誘電体分離が容易で高集積化が可能。② 対放射線耐性に優れている。③ 浮遊容量が低減され高速化が可能となる。④ ウェル工程が省略できる。⑤ ラッチアップを防止できる。⑥ 薄膜化による完全空乏型電界効果トランジスタが可能になる。以上のデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきており、其の内容は、Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G.W.Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429~590(1983) にまとめられている。SOI技術の最も古くは、単結晶サファイア基板上に、SiをCVD(化学気相法)で、ヘテロエピタキシー成長させて形成するSOS(Silicon on Sapphire)が知られており、最も成熟したSOI技術として一応の成功を収めたが、Si層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニウムのSi層への混入、そして何よりも基板の高価格と大面積化への遅れにより、其の応用の広がり

が妨げられている。

【0003】 比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれ、次の三つに大別される。

(1) Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分を種子結晶として横方向へエピタキシャル成長させ、SiO<sub>2</sub>上へSi単結晶層を形成する。この場合には、SiO<sub>2</sub>上にSi層の

堆積を伴う。

(2) Si単結晶基板そのものを活性層として使用し、その下部にSiO<sub>2</sub>を形成する。この方法は、Si層の堆積を伴わない。

(3) Si単結晶基板を種結晶として全く用いずに非晶質絶縁基板上に単結晶層を成長させる。この場合には、Si単結晶基板を必要としない。

【0004】 (1)を実現する手段として、CVD法により、直接、単結晶層Siを横方向エピタキシャル成長させる方法、非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは多結晶Si層に電子線、レーザー光等のエネルギービームを収束して照射し、溶融再結晶により単結晶層を下地単結晶基板を種子結晶としてSiO<sub>2</sub>上に成長させる方法、そして、棒状ヒーターにより棒状に溶融領域を走査する方法(Zone melting recrystallization)がある。

【0005】 これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、実用化したものはない。たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその成長距離が短く、素子をその小さな領域に作成し回路を構成するという素子設計に大きな制約となる。また、ビームアニール法では、集束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亜粒界等の結晶欠陥は、多数残留しており、少数キャリアデバイスを作成するにいたってない。また、いずれの方法もSi基板を必要とするためガラスのような透明な非晶質絶縁物基板上にSi単結晶層を形成することは不可能である。

【0006】 (2)を実現する手段としては、次の4種類の方法が上げられる。① V型の溝が表面に異方性エッチングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に多結晶Si層をSi基板と同じ程度厚く堆積した後、Si基板の裏面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Siを数百ミクロンも厚く堆積する工程、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程には、制御性、生産性に多大の問題がある。② SIMOX (Separation by ion implanted oxygen) と称されるSi単結晶基板中に酸素のイオン注入によりSiO<sub>2</sub>層を形成する方法であり、Siプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、SiO<sub>2</sub>層形成をするためには、酸素イオンを $10^{18}$  ions/cm<sup>2</sup> 以上も注入する必要がある。注入時間は膨大であり、生産性は低く、ウェハーコストは高い。更に、結晶欠陥は多く残存し、依然として少数

キャリアーデバイスを作成できる品質に至っていない。

③ Si単結晶基板を熱酸化したもう一方のSi単結晶基板或は、石英基板に熱処理、又は接着剤を用いて張り合せ、SOI構造を形成する方法がある。デバイスのための活性層に均一に薄膜化する必要があり、数百ミクロンもの厚さのSi単結晶基板を研磨によってミクロンオーダーかそれ以下にする。本方法においては、その生産性、制御性、均一性に多くの問題点が存在する。また、2枚の基板を必要とするためにそのコストも高くなる。

④ 多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法がある。本方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入 (Imai et al., J. Crystal Growth, vol. 63, 547(1983))、もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成長によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法でも本質的には、Si単結晶基板の結晶性を利用したものでありガラスのような非単結晶であり、光透過性基板上に結晶性のすぐれたSi層を形成することはできない。

【0007】(3)を実現する手段としては、非晶質絶縁基板上に非晶質Si膜を固相成長法により結晶化させ、大粒径の結晶層を得る方法がある。使用される非晶質Si層はSiH<sub>4</sub>、SiH<sub>2</sub>H<sub>2</sub>を用いて低温で形成する方法や、Siのイオン注入による方法等が提案されているが、結晶粒径を制御できないために形成する素子間で特性のバラツキが多いことや結晶粒界での特性の劣化等問題点も多い。

【0008】更に、上記問題点を考慮し、(3)を実現する手段としてSi単結晶基板の結晶性を利用せずに結晶性が優れた半導体層を固相成長法を用いて形成する方法が提案されている(特願平1-081102号)。

【0009】ガラスに代表される非単結晶性基板上には一般には、その結晶構造の無秩序性から、堆積した薄膜Si層は、基板の無秩序性を反映して、非晶質か、良くても多結晶層にしかならず、高性能なデバイスは作成できない。それは、基板の結晶構造が非晶質であることによっており、単に、非晶質Si層を結晶化しても、良質な単結晶層は得られない。この問題点を解決したものが引用した上記発明(特願平1-081102号)であった。この発明を概略説明すると、非晶質基板表面に形成した、固相成長の起点となる各核形成位置を人工的に制御した非晶質半導体層を形成し、その位置を決定し、固相成長法により結晶成長を施し所望の大きさの結晶性の優れた単一構造を有する結晶領域を得るものである。

【0010】

【発明が解決しようとする課題】ここで、結晶領域の大きさは、その成長時間を決定するものであり、例えばSiの固相成長の場合、数μmの結晶を得るのに100時

同程度の熱処理時間を必要とし、工業的生産性を考慮すると短時間に成長が終了したほうが望ましいことはいうまでもなく、さらに固相成長法による、単一構造を有する樹枝状結晶領域の成長距離はintrinsic膜の場合数μm程度であり、さほど大きく取れるわけでないため、結晶領域の縮小化は必須の要求となるのである。

【0011】

【課題を解決するための手段】従来提案されてきた方法は、ひとつの素子にひとつの結晶を成長させる方法を提案してきたが、後のデバイスプロセスを考慮すると必ずしも一素子に一結晶が存在している必要がなく、一結晶に形成される粒界の位置さえ予測できれば実効的に一素子にひとつの結晶が形成されたのと同様な効果があることを洞察した結果、本発明を考案したものである。

【0012】本発明の半導体結晶物品の形成方法は、固相成長法により非晶質半導体から半導体結晶を形成する半導体結晶物品の形成方法において、形成する半導体素子内の所望の領域にのみ、位置制御した単一構造を有する結晶領域を成長させることを特徴とする。

【0013】以下、本発明について実施態様例に基づいて説明する。なお、本発明の用途は必ずしも電界効果型トランジスタに限定されるものではないが、本発明は半導体結晶層に電界効果型トランジスタを作成する場合に特に効果的に作用するため、本発明の実施態様例として電界効果型トランジスタを取り上げて説明する。

【0014】まず、本発明に到る技術的背景について説明する。

【0015】電界効果型トランジスタはField Effect Transistorの訳語であって三端子の半導体素子であり、大規模集積回路の基本素子として、バイポーラトランジスタと並んでもっとも重要なデバイスである。そのなかでも、絶縁ゲート型電界効果トランジスタ Insulated Gate Field Effect Transistor は重要であり、特に絶縁物にSiO<sub>2</sub>を使用するMetal Oxide Semiconductor Field Effect Transistor (以下、MOSFETという)は重要な素子である。

【0016】以下、MOSFETの断面図を図6として示し、その構造と作成工程を説明する。基板21は、SiO<sub>2</sub>を主成分とする非単結晶基板であり、その表面に島状に絶縁分離された半導体層が形成されその内部に単一構造を有する結晶領域25より成る半導体領域が形成されている。その内部には粒界は存在しない。図6に示すMOSFETは、ソース22、ゲート23、ドレイン24の3端子よりなり、制御されるべきキャリアーはソースより注入されチャンネル部となる結晶領域25を通過する際にゲートに印加される電圧によりゲート絶縁膜26を介して変調される。このゲートによって制御されたキャリアーはドレイン電極より流出する。一般にソース領域27とドレイン領域28は低抵抗化と接合の形成のため高濃度に不純物を添加する必要があるが、多くの場合

イオン注入によってN型あるいはP型の不純物である燐、あるいはホウ素等を添加している。この高濃度イオン注入の際にソース、ドレイン領域の単結晶は、注入損傷を大量に受け非晶質化してしまい、該ソース、ドレイン領域を低抵抗化し良好な接合をチャネル領域の間に形成する為に、後の熱的処理により固相で結晶回復させ、結晶構造を非晶質から単結晶や多結晶に回復させる。

【0017】以上のことから、単一のMOSFETを作成する際には、チャネル部は単一構造を有する結晶領域からなる良質な結晶層である必要性は素子を高性能に作動させるために歴然として存在する。チャネル部に結晶粒界等の欠陥があるとキャリアの輸送にとって障壁や散乱の原因となるからである。しかしながら、ソースやドレイン領域はその形成過程において非晶質化されることは上述のとうりであり、必ずしも良質な結晶領域が結晶化した初期状態からチャネル部より連続に形成されている必要はない。すなわち、ソース、ドレイン領域は、いずれ非晶質化される運命にある為、該領域内の結晶構造に無関係となるのである。このことは、ひとつのMOSFETを作成するひとつの素子部のなかには、単一ドメイン結晶を形成する必要がなく、ソース、ドレイン領域に粒界が存在する結晶構造でも良いことを意味する。これは、結晶成長させるべき領域の縮小につながり、そのため、前述したような固相成長にかかる多大な時間を大きく短縮させることが可能となり、工業的に極めて重要な改良となるうえ、成長距離が数 $\mu\text{m}$ と短いという固相成長の大きなデメリットのために生じる、その小さな領域に1つの素子を組み込み、さらに回路を構成しなければならないという素子設計上の厳しい制約を大幅に軽減することができる。

【0018】以下、本発明の実施態様例について図面を用いて詳細に説明する。

【0019】図1～図5は本発明の半導体結晶物品の形成方法を説明するための工程図である。

【0020】まず図1に示すように、SiO<sub>2</sub>を主成分とする非単結晶基板11に非晶質半導体層12を形成する。この非晶質半導体層の形成方法は特に限定されるものでなく、例えば半導体層がSiの場合、SiH<sub>4</sub>やSiH<sub>2</sub>、H<sub>2</sub>ガスをを用いた減圧CVD法、プラズマCVD法、スパッタ法、蒸着法等の他に多結晶Siや非晶質Siにイオン注入を施した非晶質Siを用いても一向に構わない。また図2に示すように非晶質半導体層12を島状に絶縁分離するとそれぞれの素子間での相互作用がなく大きな利点となる。次いで図3に示すように、チャネル領域に相当する領域に、他の領域と比べて、人工的に固相成長の核形成頻度が高く、インキュベーションタイムの短い核形成サイトを形成し、その後に該サイトから単一構造を有する結晶13を固相成長させ、チャネル部を単一構造を有する結晶領域で形成する。核形成サイトの形成方法は核形成サイトの領域と他の領域の不純物密

度を変える方法（特願平1-081697号）、イオン注入の条件を変える方法（特願平1-257643号）、温度を変える方法（特願平1-081699号）、膜厚を変える方法（特願平2-091655号）等が提案されているがこれも特に限定されるものではない。さらに、ソース、ドレインに相当する領域は特に単一構造を有する結晶領域である必要性はなく、もちろん単一構造を有する結晶領域でも構わないが、多結晶半導体領域や非晶質半導体領域であっても構わない。その後、単一構造を有する結晶13内にチャネル部が存在するようにMOSFETを作成する。ここでいう単一構造を有する結晶とは、固相成長に特有な樹枝状結晶のような双晶等の存在する結晶も含む。即ち結晶粒界の存在しない結晶を意味するものである。該MOSFETのソース、ドレイン領域形成に際して、N型あるいは、P型不純物を高濃度にチャネル上部に位置するゲート酸化膜14上のゲート電極15をマスクとしてイオン注入する（図4）。この為粒界をふくむ多結晶や非晶質であったソース、ドレイン領域の結晶構造は、破壊され、大量の損傷が導入された結果、その長距離秩序が失われており、非晶質となっている。その後、図5に示すように熱処理を施すことにより、その結晶構造は回復され、不純物が活性化されて低抵抗のソース、ドレイン領域17が形成される。さらにソース電極、ドレイン電極16を形成する。この最終的に作成されたMOSFETの特性は、単一構造を有する結晶領域内部に1つのMOSFETを形成したもの（チャネル領域、ソース領域、ドレイン領域を形成したもの）の特性となんら遜色なく良好な特性を示し、その特性分布も結晶粒界の影響もなく小さい。さらに、本発明においてはチャネル部に相当する大きさ程度に単一構造を有する結晶領域を成長させればよく、結晶成長時間は、1つの素子にたいして単一構造を有する結晶領域を成長させる場合に比較して、大幅にその形成時間を短縮することができる。そのうえ、成長距離が数 $\mu\text{m}$ と短いという固相成長の大きなデメリットがあるが、その小さな領域に1つの素子を組み込み、さらに回路を構成しなければならないという素子設計上の厳しい制約を大幅に軽減することもできる。

【0021】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0022】（実施例1）本発明の第1実施例を図7～図12を用いて説明する。図7に示すように、熔融石英基板31上に非晶質Si32を減圧CVD装置により1000Å堆積する。堆積条件は以下のとおりである。

【0023】

堆積温度……550℃

ガス……SiH<sub>4</sub>

堆積圧力……0.3 Torr

堆積時間……55分

7

次に、上記非晶質Si<sub>3</sub>2を3μm×15μmの大きさに通常の半導体プロセスのフォトリソグラフィ工程により島状にパターニングする(図8)。その後イオン注入法によりSi<sup>+</sup>イオンを加速電圧70KeV、4E14/cm<sup>2</sup>で注入し、さらに1μm角のレジストマスクで核形成サイト領域を島状内にパターニングし、核形成サイト以外の領域に加速電圧70KeV、2E15/cm<sup>2</sup>で再びSi<sup>+</sup>イオン注入を行なう。次いで図9に示すように、600℃20時間の熱処理を施し核形成サイトを中心に直径約3μmの単一構造を有する結晶33を成長させた。この時他の領域はまだ非晶質Siのままである。さらに引き続き熱処理温度を700℃とし5時間の処理を行ない他の領域も結晶化させ平均結晶粒径が約1000Åの多結晶Si<sub>3</sub>4を得た(図10)。この半導体薄膜34上にゲートSiO<sub>2</sub>、酸化膜35を常圧CVD装置により形成した。その後通常の半導体プロセスによってMOSFETを形成した。プロセスフローを以下に示す。この時ソース、ドレイン領域37はAsもしくはB等のイオン注入法により形成したため、1度完全に非晶質化され、其の後の熱処理により再結晶化し低抵抗のソース、ドレイン領域39として形成されている。

【0024】(MOSFET作成プロセスフロー)

- (1) 常圧CVD法により、ゲートSiO<sub>2</sub>、酸化膜35を形成する。
- (2) 減圧CVD法により、多結晶Siゲート電極膜36を形成する(図11)。
- (3) 多結晶Siゲート電極膜36へイオン注入する。
- (4) ソース、ドレイン領域へイオン注入する。
- (5) 熱処理により、ソース、ドレイン領域活性化を行なう。
- (6) 層間絶縁膜の形成を行なう。
- (7) Al電極38を形成する。

【0025】このようにして形成したMOSFET(図12)の特性は1つの単一構造を有する結晶領域内部に1つのMOSFETを形成したものと比べて、移動度その他の電気的特性について同様な良好な特性を示し、諸特性の分布も小さかった。

【0026】(実施例2) 本発明の第2実施例を図13~15を用いて説明する。熔融石英基板41に非晶質Si<sub>1</sub>42を減圧CVD装置により1000Å堆積する。堆積条件は以下のとおりである。

【0027】

堆積温度……550℃

ガス……SiH<sub>4</sub>

堆積圧力……0.3 Torr

堆積時間……55分

次に、上記非晶質Si<sub>1</sub>42を3μm×15μmの大きさに通常の半導体プロセスのフォトリソグラフィ工程により島状にパターニングする。その後イオン注入法によりSi<sup>+</sup>イオンを加速電圧70KeV、4E14/cm<sup>2</sup>

8

で注入し、さらに1μm角のレジストマスクで核形成サイト領域を島状内に複数パターニングし、核形成サイト以外の領域に加速電圧70KeV、2E15/cm<sup>2</sup>で再びSi<sup>+</sup>イオン注入を行なう。次いで600℃、20時間の熱処理を施しチャネル直下とソース、ドレイン領域に複数点ある核形成サイトを中心に直径約3μmの単一構造を有する複数の結晶43を成長させた(図13)。

【0028】なお、チャネル領域は単一構造を有する結晶領域であり、ソース、ドレイン領域は複数の結晶粒から成る多結晶領域である。この半導体薄膜上に実施例1に示したのと同様にゲートSiO<sub>2</sub>、酸化膜45を常圧CVD装置により形成しその後通常の半導体プロセスによってMOSFETを形成した。この時、図14に示すようにソース、ドレイン領域はAsもしくはB等のイオン注入法により形成したため、1度完全に非晶質化され、其の後の熱処理により再結晶化し低抵抗のソース、ドレイン領域47として形成されている(図15)。46はゲート電極、48はソース、ドレイン電極となるAl電極である。

【0029】このようにして形成したMOSFETの特性は1つの単一構造を有する結晶領域内部に1つのMOSFETを形成したものと比べて、移動度その他の電気的特性について同様な良好な特性を示し、諸特性の分布も小さかった。

【0030】(実施例3) 本発明の第3実施例を説明する。なお、各工程の説明は図7~図9及び図11を用い、同一符号を用いて説明する。図7において、熔融石英基板31に非晶質Si<sub>3</sub>2を減圧CVD装置により1000Å堆積する。堆積条件は以下のとおりである。

【0031】

堆積温度……550℃

ガス……SiH<sub>4</sub>

堆積圧力……0.3 Torr

堆積時間……55分

次に、上記非晶質Si<sub>3</sub>2を3μm×15μmの大きさに通常の半導体プロセスのフォトリソグラフィ工程により島上にパターニングする(図8)。次いでイオン注入法によりSi<sup>+</sup>イオンを加速電圧70KeV、1E15/cm<sup>2</sup>で注入し、その後核形成サイトとなる1μm角領域にのみ2GPaの静水圧をかけ600℃、20時間の熱処理を行ない核形成サイトを中心に直径約3μmの単一構造を有する結晶を成長させた。この時、他の領域はまだ非晶質Siのままである(図9)。

【0032】この半導体薄膜上にゲートSiO<sub>2</sub>、酸化膜を常圧CVD装置により形成した実施例1に示した半導体プロセスによってMOSFETを形成した。この時のソース、ドレイン領域はAsもしくはB等のイオン注入法により形成し其の後の熱処理により結晶化している(図11)。その後通常の半導体プロセスによってMO

SFETを形成した。

【0033】このようにして形成したMOSFETの特性は、1つの単一構造を有する結晶領域内部に1つのMOSFETを形成したものと比べて移動度その他の電気的特性について同様な良好な特性を示し、諸特性の分布も小さかった。

【0034】(実施例4)本発明の第4実施例を説明する。

【0035】Siウエハを熱酸化し表面に約5000Åのシリコン酸化膜を形成したものを基板とし、非晶質Siを原料ガスとしてSi:H<sub>2</sub>を用い490℃で減圧CVD装置により1000Å堆積する。

【0036】その後、基板温度を580℃に保持しながら核形成サイトとなる領域のみ直径0.5μmに集束させた電子ビームを高速走査して電子線が2mW・sで照射されるようにして熱処理した。ここで、電子ビームが照射されている領域は、周囲より温度が高くなるために核形成領域となり、それ以外の領域は非核形成領域となる。その後は600℃で20時間の熱処理を行ない核形成サイトを中心に直径約3μmの単一構造を有する結晶を成長させた。この時、他の領域はまだ非晶質Siのままである。次に上記非晶質Siを3μm×15μmの大きさに通常の半導体プロセスのフォトリソグラフィ工程により島上にパターニングする。

【0037】その後、熱酸化工程により約1000ÅのゲートSiO<sub>2</sub>酸化膜を形成しさらに実施例1に示した半導体プロセスによってMOSFETを形成した。この時のソース、ドレイン領域はAsもしくはB等のイオン注入法により形成しているため熱酸化工程により多結晶化したソース、ドレイン領域は一旦非晶質化しているが、其の後の熱処理により再結晶化している。

【0038】このようにして形成したMOSFET特性は、1つの単一結晶構造から成る結晶内部に1つのMOSFETを形成したものと比べて、移動度その他の電気的特性について同様な良好な特性を示し、諸特性の分布も小さかった。

【0039】(実施例5)本発明の第5実施例を説明する。

【0040】アルミナ基板にEB蒸着法により非晶質Geを1000Å堆積する。次に上記非晶質Geを3μm×15μmの大きさに通常の半導体プロセスのフォトリソグラフィ工程により島上にパターニングする。その後、基板温度400℃に保ちながら核形成サイトとなる領域のみ直径0.5μmに集束させた電子ビームを高速走査して電子線が2mW・sで照射されるようにして熱処理した。ここで、電子ビームが照射されている領域は、周囲より温度が高くなるために核形成領域となり、それ以外の領域は非核形成領域となる。その後電子ビーム照射を打ち切り、熱処理のみを4時間ほど行ない、核形成サイトを中心に直径約3μmの単一結晶構造をもつ

Ge結晶を成長させた。この時、他の領域はまだ非晶質Geのままである。この半導体薄膜上にゲートSiO<sub>2</sub>酸化膜を常圧CVD装置により形成し、その後通常の半導体プロセスによってMOSFETを形成した。この時のソース、ドレイン領域はAs、もしくはB等のイオン注入法により形成し、其の後の熱処理により結晶化している。

【0041】このようにして形成したMOSFET特性は1つの単一構造を有する結晶領域内部に1つのMOSFETを形成したものと比べて移動度その他の電気的特性に対して同様な良好な特性を示し、諸特性の分布も小さかった。

【0042】

【発明の効果】以上、詳細に説明したように、本発明によれば、電界効果型トランジスタのチャネル領域等のように、必要とする領域のみを、単一構造を有する結晶領域としたため、成長時間の大幅な短縮がなされ、その生産性が著しく向上されるうえ、成長距離が数μmと短いという固相成長の大きなデメリットに起因する、小さな領域に1つの素子を組み込み、さらに回路を構成しなければならないという素子設計上の厳しい制約を大幅に軽減することができる。

【図面の簡単な説明】

【図1】本発明の一実施態様例を表わす工程図である。

【図2】本発明の一実施態様例を表わす工程図である。

【図3】本発明の一実施態様例を表わす工程図である。

【図4】本発明の一実施態様例を表わす工程図である。

【図5】本発明の一実施態様例を表わす工程図である。

【図6】電界効果型トランジスタの断面図である。

【図7】本発明の第1実施例を表わす工程図である。

【図8】本発明の第1実施例を表わす工程図である。

【図9】本発明の第1実施例を表わす工程図である。

【図10】本発明の第1実施例を表わす工程図である。

【図11】本発明の第1実施例を表わす工程図である。

【図12】本発明の第1実施例を表わす工程図である。

【図13】本発明の第2実施例を表わす図である。

【図14】本発明の第2実施例を表わす図である。

【図15】本発明の第2実施例を表わす図である。

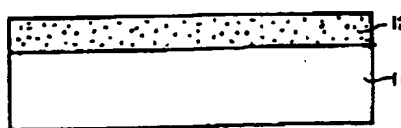
【符号の説明】

11 基板、 21 基板、 31 基板、 41 基板、  
12 非晶質半導体層、 32 非晶質半導体層、  
42 非晶質半導体層、 13 単一結晶構造をもつ結晶、  
33 単一結晶構造をもつ結晶、 43 単一結晶構造をもつ結晶、  
14 ゲート酸化膜、 26 ゲート酸化膜、  
35 ゲート酸化膜、 45 ゲート酸化膜、  
15 ゲート電極、 23 ゲート電極、 36 ゲート電極、  
46 ゲート電極、 16 Al電極、 22 Al電極、  
24 Al電極、 38 Al電極、 48 Al電極、  
17 ソース、ドレイン領域、 39 ソース、ドレイン領域、  
47 ソース、ドレイン領域

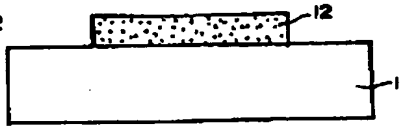


域、25 チャンネル領域、34 多結晶薄膜、37 非晶 質半導体薄膜。

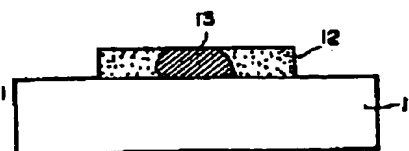
【図1】



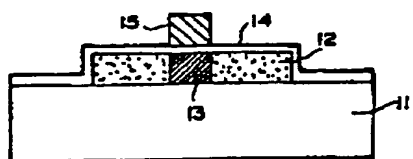
【図2】



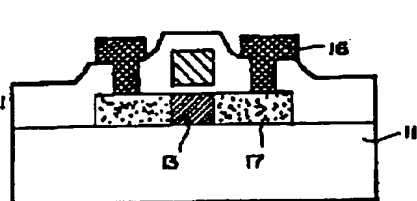
【図3】



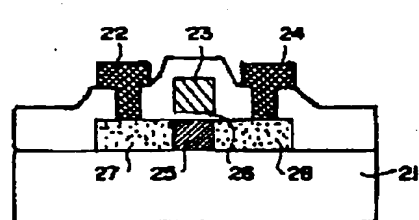
【図4】



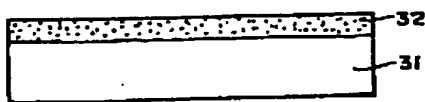
【図5】



【図6】



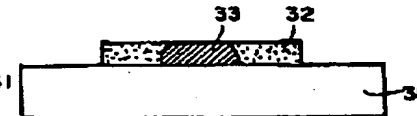
【図7】



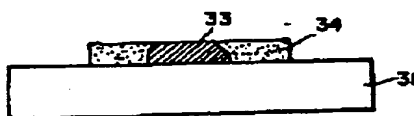
【図8】



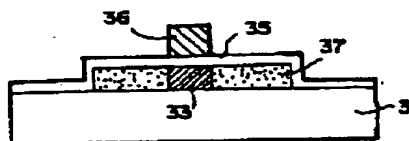
【図9】



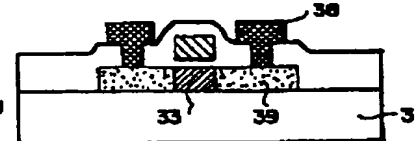
【図10】



【図11】



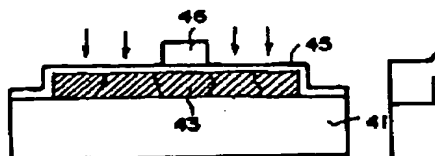
【図12】



【図13】



【図14】



【図15】

